

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-27551

(43)公開日 平成9年(1997)1月28日

(51)Int.Cl.*

識別記号

府内整理番号

F I

技術表示箇所

H 01 L 21/8228
27/082
21/8249
27/06
21/331

H 01 L 27/08
27/06
29/72

101C
321B

審査請求 未請求 請求項の数3 FD (全12頁) 最終頁に続く

(21)出願番号

特願平7-197914

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(22)出願日 平成7年(1995)7月12日

(72)発明者 根本 清志

東京都渋谷区幡ヶ谷2丁目43番2号 オリ
ンパス光学工業株式会社内

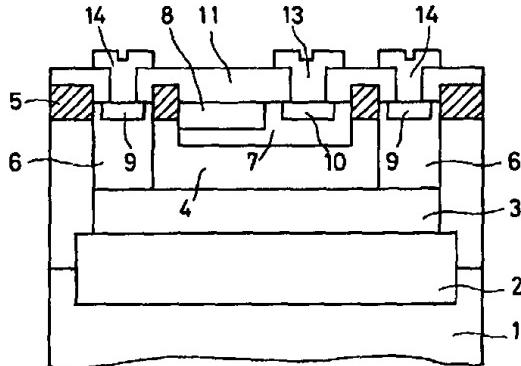
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 少なくともNPNトランジスタと縦型PNPトランジスタを同一基板上に形成する半導体装置の製造方法において、高い h_{FE} と高いアーリ電圧及び高い周波数特性をもつ縦型PNPトランジスタの製法を提供する。

【構成】 P型基板1に、N型埋込み層2と、P型埋込み層3と、N型エピタキシャル層4と、P型コレクタ引き出し拡散層6を形成した後、ベース領域にリンを、エミッタ領域とコレクタコンタクト領域にBF₂をイオン注入しアニールを行って、N型ベース層7と、N型外部ベース層8と、P型エミッタ層10と、P型コレクタコンタクト拡散層9とを形成し、次いでBF₂をイオン注入したP型ポリシリコンでP型エミッタポリシリコン13と、P型コレクタポリシリコン14を形成し、縦型PNPトランジスタを作製する。



13 : P型エミッタポリシリコン

14 : P型コレクタポリシリコン

1

【特許請求の範囲】

【請求項1】 NPNトランジスタと縦型PNPトランジスタを同一基板上に形成する半導体装置の製造方法において、前記縦型PNPトランジスタのエミッタを、予め形成された拡散深さの浅い高濃度のP型拡散層と該P型拡散層上に接続する高濃度にドープされたP型ポリシリコンとで形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記縦型PNPトランジスタのエミッタのうち予め形成される拡散深さの浅い高濃度のP型拡散層を、前記NPNトランジスタの外部ベースを形成する高濃度のP型拡散層と同一の工程で形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 NPNトランジスタと縦型PNPトランジスタとCMOSトランジスタとを同一基板上に形成する半導体装置の製造方法において、前記縦型PNPトランジスタのエミッタを、予め形成された拡散深さの浅い高濃度のP型拡散層と該P型拡散層上に接続する高濃度にドープされたP型ポリシリコンとで形成すると共に、前記P型拡散層を、前記NPNトランジスタの外部ベースを形成する高濃度のP型拡散層及びPMOSトランジスタのソース・ドレインを形成する高濃度のP型拡散層と同一の工程で形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法、特に同一基板上に少なくともNPNトランジスタと縦型PNPトランジスタを備えた半導体装置の製造方法に関する。

【0002】

【従来の技術】従来、NPNトランジスタと縦型PNPトランジスタを同一基板上に形成する場合や、更にはそれらとCMOSトランジスタをも同一基板上に形成する場合における縦型PNPトランジスタとしては、特公昭61-56625号公報には、図16に示すような構成のものが開示されている。図16において、101はP型基板、102はN型埋込み層、103はP型埋込み層、104はN型エピタキシャル層、105はP型コレクタ引き出し拡散層、106はN型ベース層、107はN型外部ベース層、108はP型エミッタ層である。この縦型PNPトランジスタのエミッタは、N型ベース層106に高濃度のP型拡散層を形成してなるP型エミッタ層108で構成されている。

【0003】また、特開昭63-292666号公報や特開平2-45972号公報には、図17に示す構成のものが開示されており、211はP型基板、212はN型埋込み層、213はP型埋込み層、214はN型エピタキシャル層、215はP型コレクタ層、216はN型ベース層、217P型コレクタ引き出し拡散層、218はN型外部ベース

2

層、219は絶縁膜、220はP型エミッタポリシリコン、221はP型エミッタ層である。P型エミッタ層221は高濃度にドープされたP型ポリシリコン220からN型ベース層216に拡散して形成されている。また、ポリシリコンより拡散してエミッタを形成する方法は、特公昭52-1876号公報や特開昭52-70761号公報にも開示されている。

【0004】

【発明が解決しようとする課題】ところで、図16に示した従来例においては、P型エミッタ層108は高濃度のP型拡散層で形成されているため、エミッタ注入効率が良く、高い h_{FE} と高いアーリ電圧を得ることができる。しかし、エミッタ・ベース容量を小さくし高い周波数特性を得るために、エミッタの拡散深さを浅く形成すると、図18に示すように、P型エミッタ層108上に形成したアルミニウム配線110からのアルミニウムのスパイク111によりエミッタとベースがショートし、歩留まりが低下してしまう。このため、図16に示した従来例の構造では、エミッタの拡散深さを浅く形成することができず、高い周波数特性が得られないという欠点がある。なお、図18において、109は絶縁膜である。

【0005】また、図17に示した従来例においては、P型エミッタ層221は高濃度にドープされたP型ポリシリコン220から拡散して形成されているため、図19に示すように、P型ポリシリコン220上に形成したアルミニウム配線223からのアルミニウムスパイク224によりエミッタとベースがショートすることなく、P型エミッタ層221の拡散深さを浅く形成でき、高い周波数特性を得ることができる。しかし、エミッタの拡散深さを浅くするには、拡散温度を低温にする必要がある。このため、P型ポリシリコン220にドープされたBoron等のP型不純物の活性化が十分に行われず、エミッタ注入効率が劣化し h_{FE} が小さくなり、高い h_{FE} と高いアーリ電圧が得られないという欠点がある。

【0006】このように従来例においては、高い h_{FE} と高いアーリ電圧と共に、高い周波数特性をもつ縦型PNPトランジスタは得られず、ビデオ帯域などの高周波領域で使用するアナログICの設計は容易にできなかった。

【0007】本発明は、従来の半導体装置における上記問題点を解消するためになされたもので、請求項1記載の発明は、NPNトランジスタと縦型PNPトランジスタを同一基板上に形成した半導体装置において、高い h_{FE} と高いアーリ電圧及び高い周波数特性が同時に得られる縦型PNPトランジスタを備えた半導体装置の製造方法を提供することを目的とする。請求項2記載の発明は、請求項1記載の半導体装置における縦型PNPトランジスタを、同一基板上にNPNトランジスタと同時に形成する場合の効率のよい製造方法を提供することを目的とし、また請求項3記載の発明は、請求項1記載の半

導体装置における縦型PNPトランジスタを、同一基板上にNPNトランジスタ及びCMOSトランジスタと共に形成する場合の効率のよい製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】上記問題点を解決するため、請求項1記載の発明は、NPNトランジスタと縦型PNPトランジスタを同一基板上に形成する半導体装置の製造方法において、前記縦型PNPトランジスタのエミッタを、予め形成された拡散深さの浅い高濃度のP型拡散層と該P型拡散層上に接続する高濃度にドープされたP型ポリシリコンとで形成するものである。

【0009】このように、縦型PNPトランジスタのエミッタを、予め形成された拡散深さの浅い高濃度のP型拡散層と該P型拡散層上に接続するP型ポリシリコンで形成することにより、P型拡散層とN型ベース層のエミッタ・ベース容量が減少し高い周波数特性が得られ、また同時に、DC動作上はP型拡散層とP型ポリシリコンの両方がエミッタとして機能するため、エミッタ注入効率がよく高い h_{FE} と高いアーリ電圧をもつ縦型PNPトランジスタが得られる。

【0010】請求項2記載の発明は、請求項1記載の半導体装置の製造方法において、前記縦型PNPトランジスタのエミッタのうち予め形成される拡散深さの浅い高濃度のP型拡散層を、前記NPNトランジスタの外部ベースを形成する高濃度のP型拡散層と同一の工程で形成するものである。これにより、工程数の増加を最小限にし、効率よく請求項1記載の半導体装置における縦型PNPトランジスタを、NPNトランジスタと同一基板上に形成することができる。

【0011】請求項3記載の発明は、NPNトランジスタと縦型PNPトランジスタとCMOSトランジスタとを同一基板上に形成する半導体装置の製造方法において、前記縦型PNPトランジスタのエミッタを、予め形成された拡散深さの浅い高濃度のP型拡散層と該P型拡散層上に接続する高濃度にドープされたP型ポリシリコンとで形成すると共に、前記P型拡散層を、前記NPNトランジスタの外部ベースを形成する高濃度のP型拡散層及びPMOSトランジスタのソース・ドレインを形成する高濃度のP型拡散層と同一の工程で形成するものである。これにより、工程数の増加を最小限にし、効率よく請求項1記載の半導体装置における縦型PNPトランジスタを、NPNトランジスタ及びCMOSトランジスタと同一基板上に形成することができる。

【0012】

【実施例】次に実施例について説明する。図1～図4は、本発明に係る半導体装置の製造方法の第1実施例を説明するための製造工程を示す図である。まず、図1に示すように、P型基板1に選択的にアンチモンを拡散し、N型埋込み層2を形成する。次に、N型埋込み層2の領

域に、ボロンを加速電圧50KeV、ドーザ量1～7E14cm⁻²でイオン注入した後、N型エピタキシャル層4を濃度1～10E15cm⁻³、膜厚2～5μmで形成すると、ボロンがN型エピタキシャル層4に拡散しP型埋込み層3が形成される。その後、P型埋込み層3に達するP型コレクタ拡散層6を形成するために、ボロンを加速電圧150～180 KeV、ドーザ量1～10E14cm⁻²でイオン注入し、1000～1200°Cで300～600分の拡散を行う。その後、通常の選択酸化法によりフィールド酸化膜5を形成する。

- 10 【0013】次に、図2に示すように、ベース領域にリンを加速電圧100～180 KeV、ドーザ量5～10E13cm⁻²でイオン注入し、外部ベース領域にヒ素を加速電圧100～180 KeV、ドーザ量1～10E15cm⁻²でイオン注入し、コレクタコンタクト領域とエミッタ領域にBF₂を加速電圧30～100 KeV、ドーザ量1～5E15cm⁻²でイオン注入した後、900°Cで10～60分のアニールを行うことにより、N型ベース層7、N型外部ベース層8、P型コレクタコンタクト拡散層9、P型エミッタ層10を形成する。
- 20 【0014】次に、図3に示すように、LPCVDにより酸化膜を100nm積層し、絶縁膜11を形成した後、P型コレクタコンタクト拡散層9とP型エミッタ層10の領域の絶縁膜11をRIEでエッチングし、窓を開口する。その後、LPCVDによりポリシリコンを200nm積層し、BF₂を加速電圧50KeV、ドーザ量5～10E15cm⁻²でイオン注入し、P型ポリシリコン12を形成する。

- 20 【0015】次に、図4に示すように、P型ポリシリコン12をRIEでエッチングした後、950°Cで10～60分のアニールを行い、P型エミッタポリシリコン13、P型コレクタポリシリコン14が形成される。また、このアニールによりP型エミッタ層10は、拡散深さが0.1～0.3μmと浅く、濃度が1E19～1E20cm⁻³と高濃度に形成でき、縦型PNPトランジスタが構成される。

- 30 【0016】次に、本発明に係る半導体装置の製造方法の第2実施例を、図5～図9に示す製造工程図に基づいて説明する。まず、図5に示すように、P型基板21のNPNトランジスタと縦型PNPトランジスタの形成領域に、アンチモンを拡散し、N型埋込み層22を形成する。次に、縦型PNPトランジスタのN型埋込み層22の領域と素子分離領域に、ボロンを加速電圧50KeV、ドーザ量1～7E14cm⁻²でイオン注入した後、N型エピタキシャル層25を濃度1～10E15cm⁻³、膜厚2～5μmで形成すると、ボロンがN型エピタキシャル層25に拡散し、P型埋込み層23とP型素子分離用埋込み層24が形成される。その後、素子分離領域にボロンを加速電圧50～150KeV、ドーザ量1～10E13cm⁻²でイオン注入し、NPNトランジスタのコレクタ引き出し領域に、リンを加速電圧150～180 KeV、ドーザ量1～10E14cm⁻²でイオン注入し、縦型PNPトランジスタのコレクタ引き出し領域に、ボロンを加速電圧150～180 KeV、ドーザ量1～10E14cm⁻²でイオン注入し、1000～1200°Cで300～600分

の拡散を行うことにより、P型素子分離用拡散層27、N型コレクタ引き出し層28、P型コレクタ引き出し層29を形成する。その後、通常の選択酸化法によりフィールド酸化膜26を形成する。

【0017】次に、図6に示すように、NPNトランジスタのベース領域に、ボロン又はBF₂を加速電圧20～60KeV、ドーズ量5～20E13cm⁻²でイオン注入し、縦型PNPトランジスタのベース領域に、リンを加速電圧100～180KeV、ドーズ量5～10E13cm⁻²でイオン注入し、NPNトランジスタのコレクタコンタクト領域と縦型PNPトランジスタの外部ベース領域に、ヒ素を加速電圧100～180KeV、ドーズ量1～10E15cm⁻²でイオン注入し、NPNトランジスタの外部ベース領域と縦型PNPトランジスタのコレクタコンタクト領域とエミッタ領域に、BF₂を加速電圧30～100KeV、ドーズ量1～5E15cm⁻²でイオン注入した後、900℃で10～60分のアニールを行うことにより、NPNトランジスタのP型ベース層30、P型外部ベース層35、N型コレクタコンタクト層33、縦型PNPトランジスタのP型エミッタ層36、N型ベース層31、N型外部ベース層32、P型コレクタコンタクト層34を形成する。

【0018】次に、図7に示すように、LPCVDにより酸化膜を100nm積層して、絶縁膜37を形成した後、NPNトランジスタの外部ベース領域、エミッタ形成予定領域、コレクタコンタクト領域、及び縦型PNPトランジスタの外部ベース領域、エミッタ領域、コレクタコンタクト領域の絶縁膜11をRIEでエッチングし、窓を開口する。その後、LPCVDによりノンドープポリシリコン38を200nm積層した後、N型イオン注入用レジスト39を形成し、ヒ素を加速電圧100KeV、ドーズ量5～20E15cm⁻²でイオン注入し、NPNトランジスタのエミッタ形成予定領域、コレクタコンタクト領域、及び縦型PNPトランジスタの外部ベース領域のノンドープポリシリコン38をN型のポリシリコンにする。

【0019】次に、図8に示すように、P型イオン注入用レジスト40を形成し、BF₂を加速電圧50KeV、ドーズ量5～10E15cm⁻²でイオン注入し、NPNトランジスタの外部ベース領域、及び縦型PNPトランジスタのエミッタ領域、コレクタコンタクト領域のノンドープポリシリコン38をP型のポリシリコンにする。

【0020】次に、図9に示すように、N型又はP型にドープされたポリシリコンをRIEでエッチングした後、950℃で10～60分のアニールを行い、縦型PNPトランジスタのP型エミッタポリシリコン41、P型コレクタポリシリコン42、N型ベースポリシリコン46、NPNトランジスタのP型ベースポリシリコン43、N型エミッタポリシリコン44、N型コレクタポリシリコン45、N型エミッタポリシリコン44から拡散させたN型エミッタ層47が形成される。また、このアニールによりP型エミッタ層36は拡散深さが0.1～0.3μmと浅く、濃度が1E

19～1E20cm⁻³と高濃度に形成でき、NPNトランジスタと縦型PNPトランジスタが同一基板上に構成される。

- 【0021】次に、本発明に係る半導体装置の製造方法の第3実施例を、図10～図15に示す製造工程図に基づいて説明する。まず図10に示すように、P型基板51のNPNトランジスタと縦型PNPトランジスタ及びPMOSトランジスタとNMOSトランジスタの形成領域に、アンチモンを拡散してN型埋込み層52を形成する。次に、縦型PNPトランジスタのN型埋込み層52の領域とNMOSトランジスタのN型埋込み層52の領域と素子分離領域に、ボロンを加速電圧50KeV、ドーズ量1～7E14cm⁻²でイオン注入した後、N型エピタキシャル層56を濃度1～10E15cm⁻³、膜厚2～5μmで形成すると、ボロンがN型エピタキシャル層56に拡散し、P型埋込みコレクタ層53とP型埋込みウエル層54とP型素子分離用埋込み層55が形成される。
- 【0022】次に、図11に示すように、素子分離領域にボロンを加速電圧50～150KeV、ドーズ量1～10E13cm⁻²でイオン注入し、NMOSトランジスタのコレクタ引き出し領域とCMOSトランジスタの素子分離領域に、リンを加速電圧150～180KeV、ドーズ量1～10E14cm⁻²でイオン注入し、縦型PNPトランジスタのコレクタ引き出し領域に、ボロンを加速電圧150～180KeV、ドーズ量1～10E14cm⁻²でイオン注入し、PMOSトランジスタ領域にリンを加速電圧50～150KeV、ドーズ量1～10E12cm⁻²でイオン注入し、NMOSトランジスタ領域にボロンを加速電圧100～180KeV、ドーズ量1～10E12cm⁻²でイオン注入し、1000～1200℃で300～600分の拡散を行うことにより、P型素子分離用拡散層58、N型コレクタ引き出し層59、P型コレクタ引き出し層60、N型素子分離用拡散層61、Nウェル拡散層62、Pウェル拡散層63を形成する。その後、通常の選択酸化法によりフィールド酸化膜57を形成する。次に、900～1000℃で10～60分の酸化を行うことにより、20～50nmのゲート酸化膜64を形成した後、LPCVDにより300～500nmのN型にドープしたポリシリコンを積層し、RIEでエッチングすることにより、ゲートポリシリコン65を形成する。
- 【0023】次に、図12に示すように、900～1000℃で10～60分の酸化を行うことにより、20～50nmの酸化膜(図示せず)を形成した後、NPNトランジスタのベース領域に、ボロン又はBF₂を加速電圧20～60KeV、ドーズ量5～20E13cm⁻²でイオン注入し、縦型PNPトランジスタのベース領域に、リンを加速電圧100～180KeV、ドーズ量5～10E13cm⁻²でイオン注入し、NPNトランジスタのコレクタコンタクト領域と縦型PNPトランジスタの外部ベース領域及びNMOSトランジスタのソース・ドレイン領域に、ヒ素を加速電圧100～180KeV、ドーズ量1～10E15cm⁻²でイオン注入し、NPNト

ランジスタの外部ベース領域と縦型PNPトランジスタのコレクタコンタクト領域とエミッタ領域及びPMOSトランジスタのソース・ドレイン領域に、BF₂を加速電圧30~100 KeV、ドーズ量1~5 E15cm⁻²でイオン注入した後、900 °Cで10~60分のアニールを行うことにより、NPNトランジスタのP型ベース層66、P型外部ベース層71、N型コレクタコンタクト層69、縦型PNPトランジスタのP型エミッタ層72、N型ベース層67、N型外部ベース層68、P型コレクタコンタクト層70、PMOSトランジスタのP型ソース・ドレイン層73、NMOSトランジスタのN型ソース・ドレイン層74を形成する。【0024】次に、図13に示すように、LP-CVDにより酸化膜を100 nm積層し、絶縁膜75を形成した後、NPNトランジスタの外部ベース領域、エミッタ形成予定領域、コレクタコンタクト領域、縦型PNPトランジスタの外部ベース領域、エミッタ領域、コレクタコンタクト領域、PMOSトランジスタのソース・ドレイン領域、ゲートコンタクト領域、NMOSトランジスタのソース・ドレイン領域、ゲートコンタクト領域の絶縁膜75を、RIEでエッチングし窓を開口する。その後、LP-CVDによりノンドープポリシリコン76を200 nm積層した後、N型イオン注入用レジスト77を形成し、ヒ素を加速電圧100 KeV、ドーズ量5~20 E15cm⁻²でイオン注入し、NPNトランジスタのエミッタ形成予定領域、コレクタコンタクト領域、及び縦型PNPトランジスタの外部ベース領域、PMOSトランジスタのゲートコンタクト領域、NMOSトランジスタのソース・ドレイン領域、ゲートコンタクト領域のノンドープポリシリコン76をN型のポリシリコンにする。

【0025】次に、図14に示すように、P型イオン注入用レジスト78を形成し、BF₂を加速電圧50KeV、ドーズ量5~10 E15cm⁻²でイオン注入し、NPNトランジスタの外部ベース領域、及び縦型PNPトランジスタのエミッタ領域、コレクタコンタクト領域、PMOSトランジスタのソース・ドレイン領域のノンドープポリシリコン38をP型のポリシリコンにする。

【0026】次に、図15に示すように、N型又はP型にドープされたポリシリコンをRIEでエッチングした後、950 °Cで10~60分のアニールを行い、縦型PNPトランジスタのP型エミッタポリシリコン79、P型コレクタポリシリコン80、N型ベースポリシリコン84、NPNトランジスタのP型ベースポリシリコン81、N型エミッタポリシリコン82、N型コレクタポリシリコン83、N型エミッタポリシリコン82から拡散させたN型エミッタ層85、PMOSトランジスタのP型ソース・ドレインポリシリコン86、N型ゲートコンタクトポリシリコン88、NMOSトランジスタのソース・ドレインポリシリコン87、N型ゲートコンタクトポリシリコン88が形成される。また、このアニールによりP型エミッタ層72は拡散深さが0.1~0.3 μmと浅く、濃度が1 E19~1 E20cm⁻³

⁻³と高濃度に形成でき、NPNトランジスタと縦型PNPトランジスタ及びCMOSトランジスタが同一基板上に構成される。

【0027】

【発明の効果】以上実施例に基づいて説明したように、請求項1記載の発明によれば、NPNトランジスタと縦型PNPトランジスタを同一基板上に形成した半導体装置の製造方法において、縦型PNPトランジスタのエミッタを、予め形成された拡散深さの浅い高濃度のP型拡散層と該P型拡散層上に接続した高濃度にドープされたP型ポリシリコンとで形成するようしているので、P型拡散層とN型ベース層とのエミッタ・ベース容量が減少し高い周波数特性が得られると共に、DC動作上はP型拡散層とP型ポリシリコンの両方がエミッタとして機能するためエミッタ注入効率がよく高いhFEと高いアーリ電圧をもつ縦型PNPトランジスタが得られる。また請求項2記載の発明によれば、縦型PNPトランジスタのエミッタのうち、予め形成される拡散深さの浅い高濃度のP型拡散層を、NPNトランジスタの外部ベースを

- 10 形成する高濃度のP型拡散層と同一の工程で形成するようしているので、工程数の増加を最小限にして効率良く請求項1記載の縦型PNPトランジスタとNPNトランジスタを同一基板上に形成することができる。また請求項3記載の発明によれば、縦型PNPトランジスタのエミッタのうち、予め形成される拡散深さの浅い高濃度のP型拡散層を、NPNトランジスタの外部ベースを形成する高濃度のP型拡散層とPMOSトランジスタのソース・ドレインを形成する高濃度のP型拡散層と同一の工程で形成するようしているので、工程数の増加を最小限にして効率良く請求項1記載の縦型PNPトランジスタとNPNトランジスタとCMOSトランジスタを同一基板上に形成することができる。
- 20 【図面の簡単な説明】
- 30 【図1】本発明に係る半導体装置の製造方法の第1実施例を説明するための製造工程を示す図である。

【図2】図1に示した製造工程に続く製造工程を示す図である。

【図3】図2に示した製造工程に続く製造工程を示す図である。

- 40 【図4】図3に示した製造工程に続く製造工程を示す図である。

【図5】本発明に係る半導体装置の製造方法の第2実施例を説明するための製造工程を示す図である。

【図6】図5に示した製造工程に続く製造工程を示す図である。

【図7】図6に示した製造工程に続く製造工程を示す図である。

【図8】図7に示した製造工程に続く製造工程を示す図である。

- 50 【図9】図8に示した製造工程に続く製造工程を示す図

である。

【図10】本発明に係る半導体装置の製造方法の第3実施例を説明するための製造工程を示す図である。

【図11】図10に示した製造工程に続く製造工程を示す図である。

【図12】図11に示した製造工程に続く製造工程を示す図である。

【図13】図12に示した製造工程に続く製造工程を示す図である。

【図14】図13に示した製造工程に続く製造工程を示す図である。

【図15】図14に示した製造工程に続く製造工程を示す図である。

【図16】従来の半導体装置の総型PNPトランジスタの構成例を示す図である。

【図17】従来の半導体装置の総型PNPトランジスタの他の構成例を示す図である。

【図18】図16に示した従来例の問題点を示す説明図である。

【図19】図17に示した従来例の問題点を示す説明図である。

【符号の説明】

- 1 P型基板
- 2 N型埋込み層
- 3 P型埋込み層
- 4 N型エピタキシャル層
- 5 フィールド酸化膜
- 6 P型コレクタ層
- 7 N型ベース層
- 8 N型外部ベース層
- 9 P型コレクタコンタクト拡散層
- 10 P型エミッタ層
- 11 絶縁膜
- 12 P型ポリシリコン
- 13 P型エミッタポリシリコン
- 14 P型コレクタポリシリコン
- 21 P型基板
- 22 N型埋込み層
- 23 P型埋込みコレクタ層
- 24 P型素子分離用埋込み層
- 25 N型エピタキシャル層
- 26 フィールド酸化膜
- 27 P型素子分離用拡散層
- 28 N型コレクタ引き出し層
- 29 P型コレクタ引き出し層
- 30 P型ベース層
- 31 N型ベース層
- 32 N型外部ベース層
- 33 N型コレクタコンタクト層
- 34 P型コレクタコンタクト層

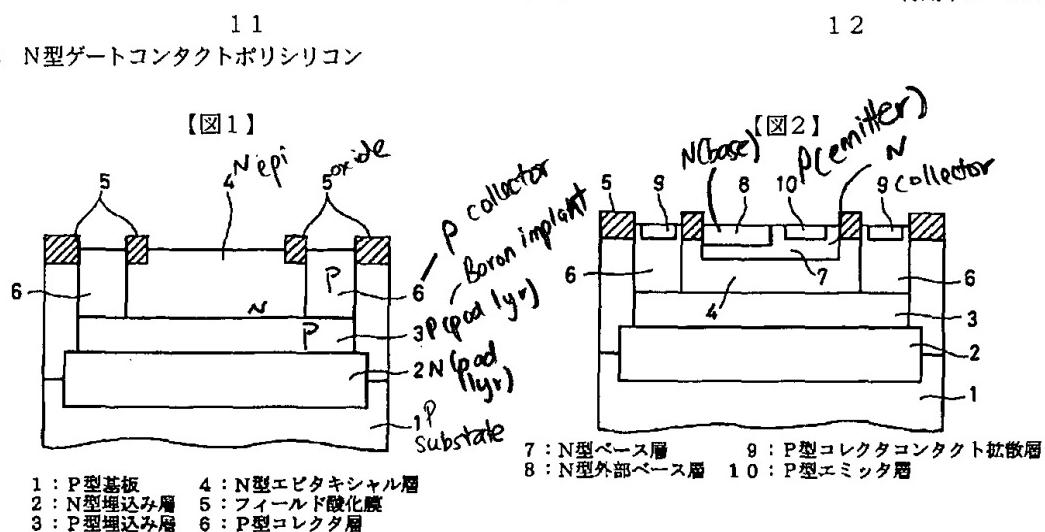
- 35 P型外部ベース層
- 36 P型エミッタ層
- 37 絶縁膜
- 38 ノンドープポリシリコン
- 39 N型イオン注入用レジスト
- 40 P型イオン注入用レジスト
- 41 P型エミッタポリシリコン
- 42 P型コレクタポリシリコン
- 43 P型ベースポリシリコン
- 44 N型エミッタポリシリコン
- 45 N型コレクタポリシリコン
- 46 N型ベースポリシリコン
- 47 N型エミッタ層
- 51 P型基板
- 52 N型埋込み層
- 53 P型埋込みコレクタ層
- 54 P型埋込みウエル層
- 55 P型素子分離用埋込み層
- 56 N型エピタキシャル層
- 57 フィールド酸化膜
- 58 P型素子分離用拡散層
- 59 N型コレクタ引き出し層
- 60 P型コレクタ引き出し層
- 61 N型素子分離用拡散層
- 62 Nウエル拡散層
- 63 Pウエル拡散層
- 64 ゲート酸化膜
- 65 ゲートポリシリコン
- 66 P型ベース層
- 67 N型ベース層
- 68 N型外部ベース層
- 69 N型コレクタコンタクト層
- 70 P型コレクタコンタクト層
- 71 P型外部ベース層
- 72 P型エミッタ層
- 73 P型ソース・ドレイン層
- 74 N型ソース・ドレイン層
- 75 絶縁膜
- 76 ノンドープポリシリコン
- 77 N型イオン注入用レジスト
- 78 P型イオン注入用レジスト
- 79 P型エミッタポリシリコン
- 80 P型コレクタポリシリコン
- 81 P型ベースポリシリコン
- 82 N型エミッタポリシリコン
- 83 N型コレクタポリシリコン
- 84 N型ベースポリシリコン
- 85 N型エミッタ層
- 86 P型ソース・ドレインポリシリコン
- 87 N型ソース・ドレインポリシリコン

(7)

 $7 \quad 10^{13} \times 5$
 $4 \quad 10^{15}$
 8

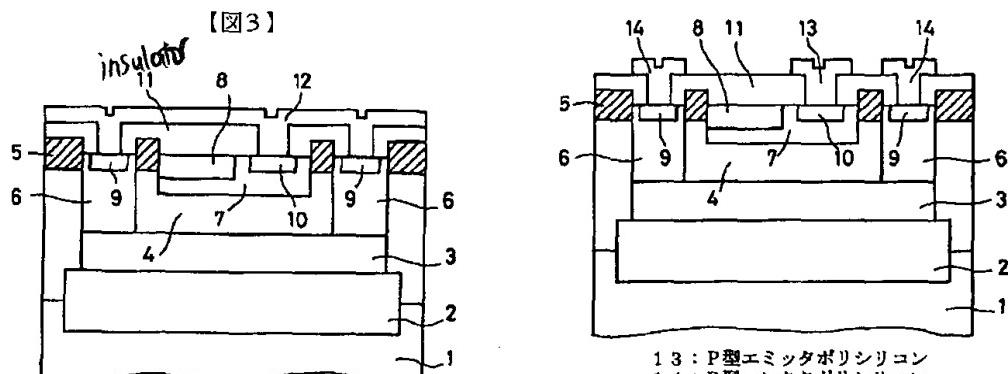
特開平9-27551

88 N型ゲートコンタクトポリシリコン

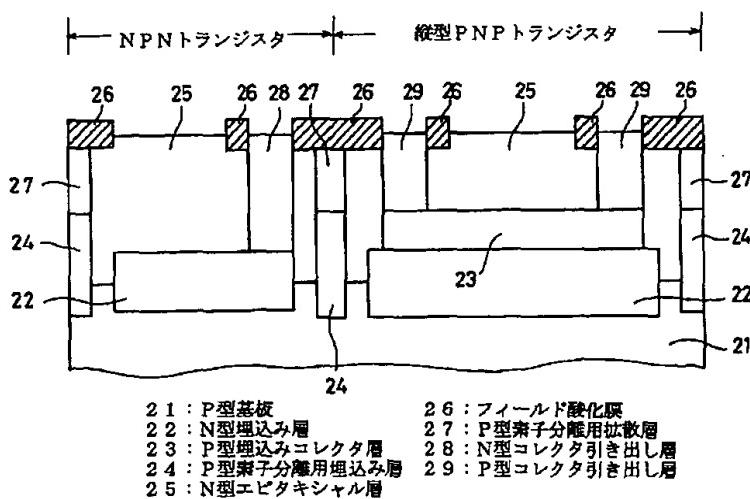


7 base
8 external
base

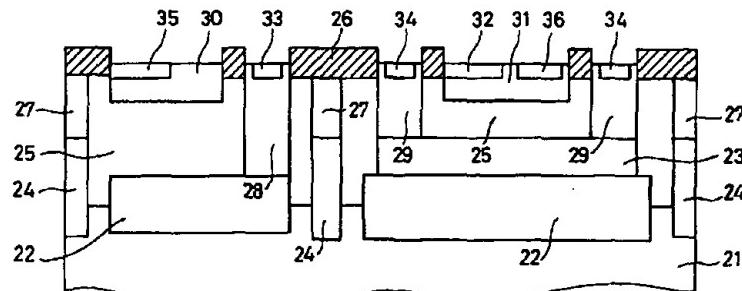
【図4】



【図5】

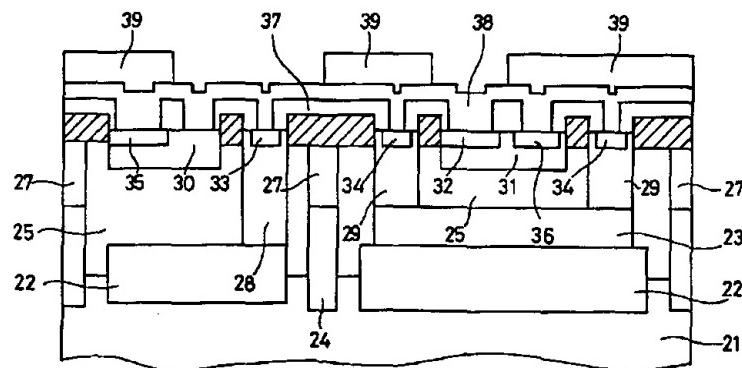


【図6】



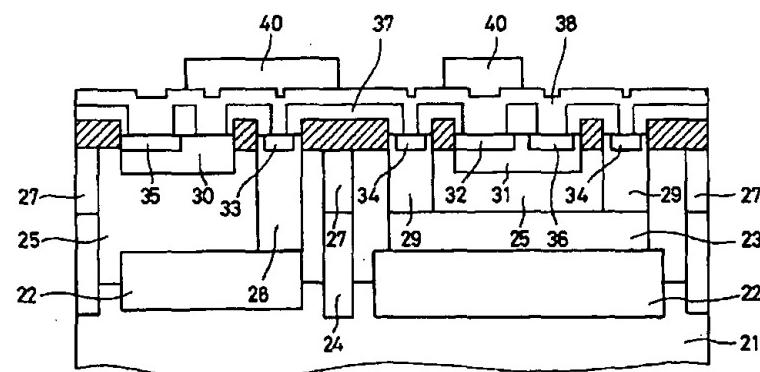
30 : P型ベース層
 31 : N型ベース層
 32 : N型外部ベース層
 33 : N型コレクタコンタクト層
 34 : P型コレクタコンタクト層
 35 : P型外部ベース層
 36 : P型エミッタ層

【図7】



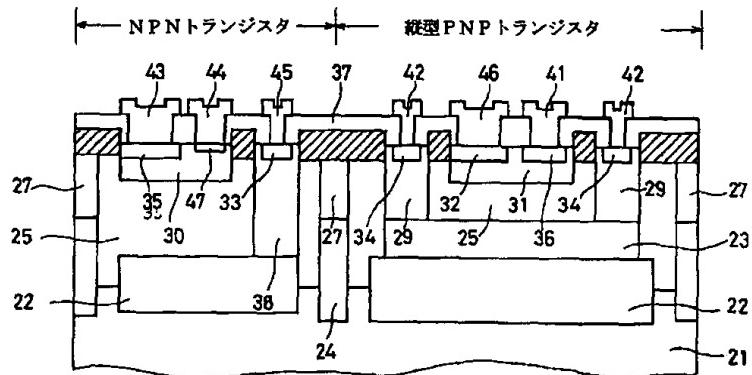
37 : 絶縁膜
 38 : ノンドープポリシリコン
 39 : N型イオン注入用レジスト

【図8】



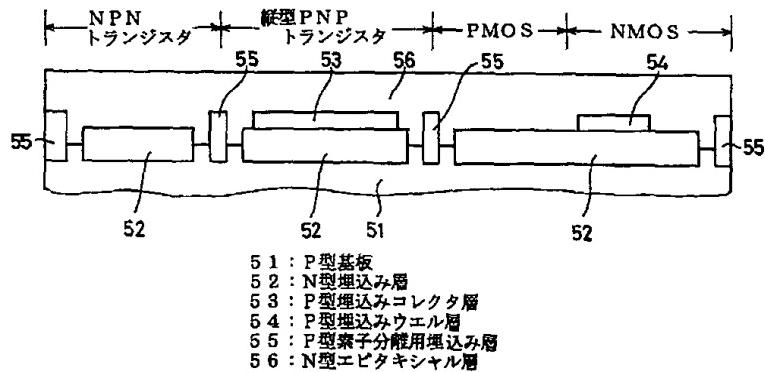
40 : P型イオン注入用レジスト

[図9]

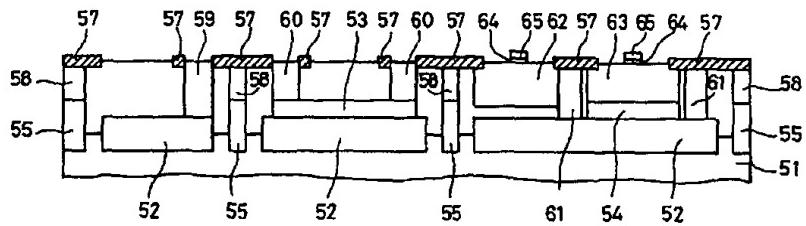


4-1 : P型エミッタポリシリコン	4-5 : N型コレクタポリシリコン
4-2 : P型コレクタポリシリコン	4-6 : N型ベースポリシリコン
4-3 : P型ベースポリシリコン	4-7 : N型エミッタ層
4-4 : N型エミッタポリシリコン	

【図10】

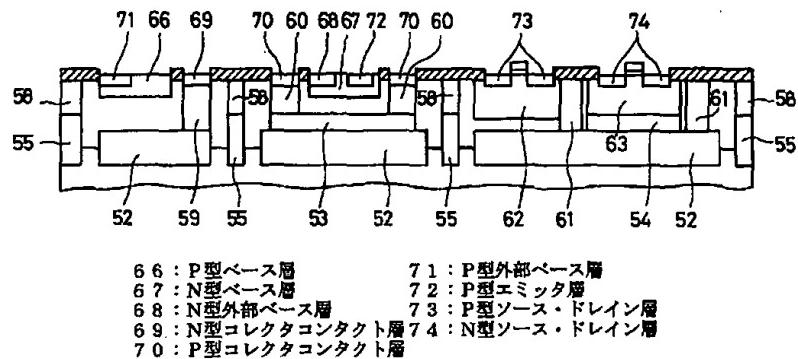


〔図11〕

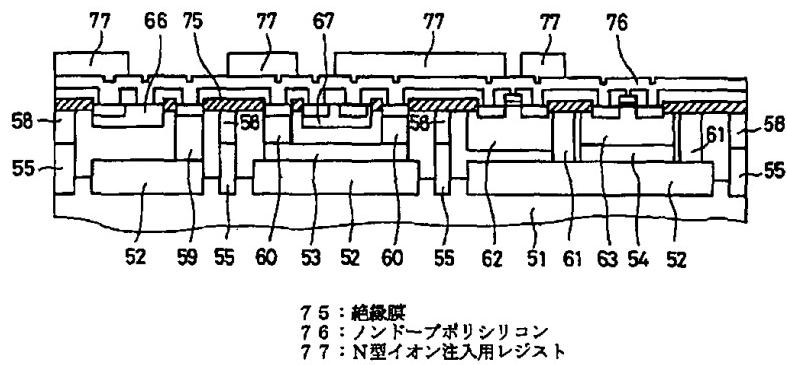


5.7 : フィールド酸化膜 6.2 : Nウェル拡散層
 6.8 : P型素子分離用拡散層 6.3 : Pウェル拡散層
 6.9 : N型レクタ引き出し層 6.4 : ゲート酸化膜
 6.0 : P型コレクタ引き出し層 6.5 : ゲートポリシリコン
 6.1 : N型素子分離用拡散層

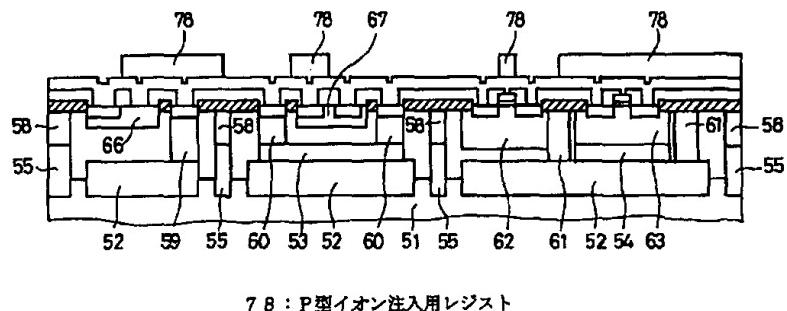
【図12】



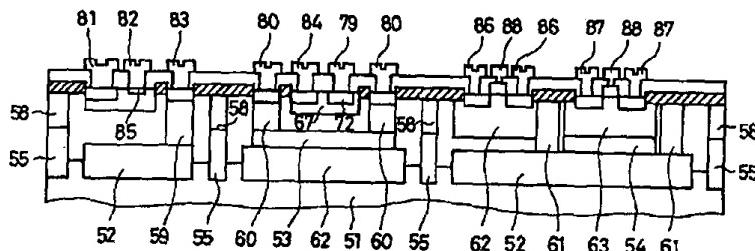
【図13】



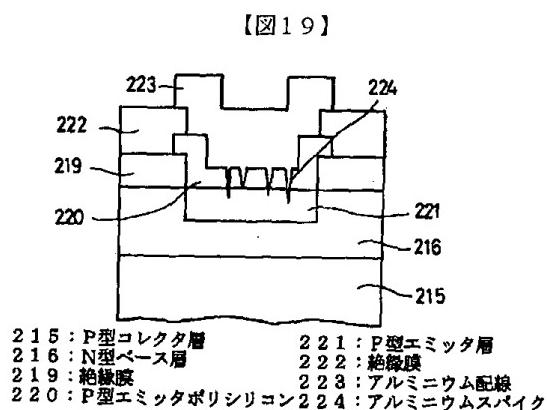
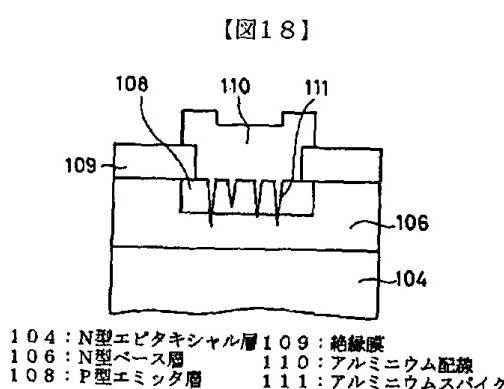
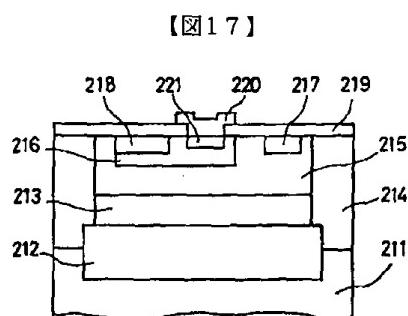
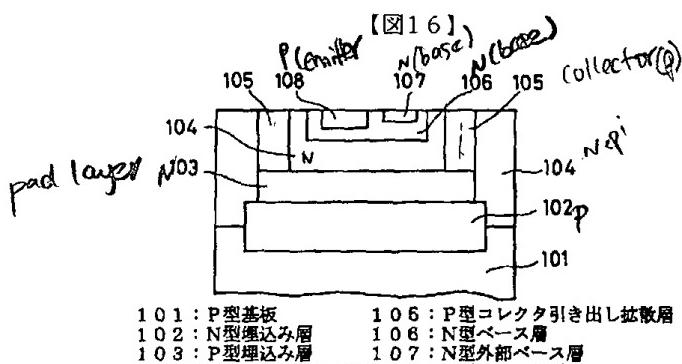
【図14】



【図15】



79 : P型エミッタポリシリコン
 80 : P型コレクタポリシリコン
 81 : P型ベースポリシリコン
 82 : N型エミッタポリシリコン
 83 : N型コレクタポリシリコン
 84 : N型ベースポリシリコン
 85 : N型エミッタ層
 86 : P型ソース・ドレインポリシリコン
 87 : N型ソース・ドレインポリシリコン
 88 : N型ゲートコンタクトポリシリコン



フロントページの続き

(51)Int.Cl.⁶
H 0 1 L 29/73

識別記号 庁内整理番号 F I

技術表示箇所

DERWENT-ACC-NO: 1997-151796

DERWENT-WEEK: 199714

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Semiconductor device mfg method employed with NPN transistor
and

vertical PNP transistor - involves forming P-type emitter polysilicon layer and
P- type collector polysilicon layer on P-type emitter layer and P- type
collector contact diffusion layer to produce vertical PNP transistor

PATENT-ASSIGNEE: OLYMPUS OPTICAL CO LTD[OLYU]

PRIORITY-DATA: 1995JP-0197914 (July 12, 1995)

PATENT-FAMILY:

PUB-NO MAIN-IPC	PUB-DATE	LANGUAGE	PAGES
JP 09027551 A 021/8228	January 28, 1997	N/A	012 H01L

APPLICATION-DATA:

PUB-NO APPL-DATE	APPL-DESCRIPTOR	APPL-NO	
JP09027551A July 12, 1995	N/A	1995JP-0197914	July 12, 1995

INT-CL (IPC): H01L021/331; H01L021/8228 ; H01L021/8249 ;
H01L027/06 ;
H01L027/082 ; H01L029/73

ABSTRACTED-PUB-NO: JP09027551A

BASIC-ABSTRACT: The method involves forming a N-type embedding layer (2), a
P-type embedding layer (3) and an N-type epitaxial layer (4) sequentially on
surface of a P-type substrate (1). A P-type collector drawer diffusion layer

(6) is formed at either ends of the epitaxial layer on the P-type embedding layer. An annealing is performed to the epitaxial layer to form a base region in it. An ion implantation using BF₂ and phosphorous is carried to an emitter area and a collector layer. An N-type base layer (7) is formed in the base region.

An N-type external base layer (8), a P-type emitter layer (10) are formed at the base layer. A P-type collector contact diffusion layer (9) is formed in the diffusion layer. A P-type emitter polysilicon layer (13) and a P-type collector polysilicon layer (14) are formed on the emitter layer and collector contact diffusion layer respectively to produce a vertical PNP transistor.

ADVANTAGE - Increases life span. Ensures good high frequency characteristics.

Reduces emitter-base resistance. Reduces manufacturing processes.

CHOSEN-DRAWING: Dwg.2/19

TITLE-TERMS:

SEMICONDUCTOR DEVICE MANUFACTURE METHOD EMPLOY
NPN TRANSISTOR VERTICAL PNP
TRANSISTOR FORMING P TYPE EMITTER LAYER P TYPE
COLLECT LAYER P TYPE EMITTER
LAYER P TYPE COLLECT CONTACT DIFFUSION LAYER PRODUCE
VERTICAL PNP TRANSISTOR

ADDL-INDEXING-TERMS:

CMOS TRANSISTOR

DERWENT-CLASS: L03 U12 U13

CPI-CODES: L04-C02B; L04-C10B; L04-C16; L04-E01; L04-F03;

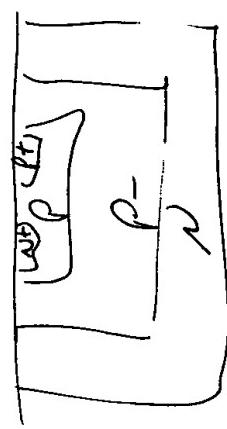
EPI-CODES: U12-D01A; U13-D01A; U13-D03B2;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1997-048509

Non-CPI Secondary Accession Numbers: N1997-125550

08/01/2002, EAST Version: 1.03.0002



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the manufacture method of a semiconductor device, and the manufacture method of the semiconductor device equipped with the NPN transistor and the vertical-mold PNP transistor at least especially on the same substrate.

[0002]

[Description of the Prior Art] As a vertical-mold PNP transistor in the case of also forming them and a CMOS transistor on the same substrate when forming an NPN transistor and a vertical-mold PNP transistor on the same substrate conventionally, the thing of composition as shown in JP,61-56625,B at drawing 16 is indicated further. It sets to drawing 16 and is 101. A P type substrate and 102 An N type pad layer and 103 A P type pad layer and 104 An N type epitaxial layer and 105 A P type collector drawer diffusion layer and 106 An N type base layer and 107 An N type external base layer and 108 It is a P type emitter layer. The emitter of this vertical-mold PNP transistor is the N type base layer 106. P type emitter layer 108 which comes to form a high-concentration P type diffusion layer It is constituted.

[0003] Moreover, the thing of composition of being shown in drawing 17 is indicated by JP,63-292666,A and JP,2-45972,A, and, for 211, as for an insulator layer and 220, an N type external base layer and 219 are [contest P type emitter polysilicon and 221] P type emitter layers. A P type substrate and 212 An N type pad layer and 213 A P type pad layer and 214 An N type epitaxial layer and 215 A P type collector layer and 216 An N type base layer and 217 A P type collector drawer diffusion layer and 218 P type emitter layer 221 Contest 220 P type polysilicon doped by high concentration Shell N type base layer 216 It is spread and formed. Moreover, the method which is spread from contest polysilicon and forms an emitter is indicated by JP,52-1876,B and JP,52-70761,A.

[0004]

[Problem(s) to be Solved by the Invention] By the way, it sets for the conventional example shown in drawing 16, and is the P type emitter layer 108. Since it is formed by the high-concentration P type diffusion layer, an emitter injection efficiency is good and can obtain high hFE and high early voltage. however, in order to make emitter base capacity small and to obtain the high frequency characteristic, when the diffusion depth of an emitter is formed shallowly, it is shown in drawing 18 -- as -- P type emitter layer 108 Aluminum wiring 110 formed upwards from -- spike 111 of aluminum An emitter and the base will short-circuit and the yield will fall. For this reason, with the structure of

the conventional example shown in drawing 16, the diffusion depth of an emitter cannot be formed shallowly but there is a fault that the high frequency characteristic is not obtained. In addition, it sets to drawing 18 and is 109. It is an insulator layer.

[0005] moreover, the conventional example shown in drawing 17 -- setting -- P type emitter layer 221 Contest 220 P type polysilicon doped by high concentration from -- it is spread, and since it is formed, it is shown in drawing 19 -- as -- contest 220 P type polysilicon Aluminum wiring 223 formed upwards from -- aluminum spike 224 without an emitter and the base short-circuit -- P type emitter layer 221 The diffusion depth can be formed shallowly and the high frequency characteristic can be obtained. However, in order to make the diffusion depth of an emitter shallow, it is necessary to make diffusion temperature into low temperature. for this reason, contest 220 P type polysilicon Doped Boron etc. -- activation of a P type impurity is not fully performed, but an emitter injection efficiency deteriorates, hFE becomes small, and there is a fault that high hFE and high early voltage are not obtained

[0006] Thus, in the conventional example, the vertical-mold PNP transistor which has the high frequency characteristic with high hFE and high early voltage was not obtained, and the design of the analog IC used in RF fields, such as a video band, was not completed easily.

[0007] It was made in order that this invention might cancel the above-mentioned trouble in the conventional semiconductor device, and invention according to claim 1 aims at offering the manufacture method of the semiconductor device equipped with the vertical-mold PNP transistor from which high hFE, high early voltage, and the high frequency characteristic are obtained simultaneously in the semiconductor device in which the NPN transistor and the vertical-mold PNP transistor were formed on the same substrate.

Invention according to claim 2 aims invention according to claim 3 at offering the efficient manufacture method in the case of forming simultaneously with an NPN transistor and a CMOS transistor a vertical-mold PNP transistor [in / a semiconductor device according to claim 1] on the same substrate for the purpose of offering the efficient manufacture method in the case of forming simultaneously with an NPN transistor the vertical-mold PNP transistor in a semiconductor device according to claim 1 on the same substrate.

[0008]

[Means for Solving the Problem] In order to solve the above-mentioned trouble, invention according to claim 1 is formed in the manufacture method of the semiconductor device which forms an NPN transistor and a vertical-mold PNP transistor on the same substrate with contest P type polysilicon doped by the high concentration which connects the emitter of the aforementioned vertical-mold PNP transistor on a high-concentration P type diffusion layer with the shallow diffusion depth formed beforehand, and this P type diffusion layer.

[0009] Thus, by forming with contest P type polysilicon which connects the emitter of a vertical-mold PNP transistor on a high-concentration P type diffusion layer with the shallow diffusion depth formed beforehand, and this P type diffusion layer In order for the emitter base capacity of a P type diffusion layer and an N type base layer to decrease, and to obtain the high frequency characteristic and for both a P type diffusion layer and contest P type polysilicon to function as an emitter simultaneously as for DC operation top, The vertical-mold PNP transistor in which an emitter injection efficiency has good

high hFE and high early voltage is obtained.

[0010] Invention according to claim 2 forms a high-concentration P type diffusion layer with the shallow diffusion depth beforehand formed among the emitters of the aforementioned vertical-mold PNP transistor in the manufacture method of a semiconductor device according to claim 1 at the same process as the high-concentration P type diffusion layer which forms the external base of the aforementioned NPN transistor. Thereby, the increase in the number of processes can be made into the minimum, and the vertical-mold PNP transistor in a semiconductor device according to claim 1 can be efficiently formed on the same substrate as an NPN transistor.

[0011] In the manufacture method of a semiconductor device that invention according to claim 3 forms an NPN transistor, a vertical-mold PNP transistor, and a CMOS transistor on the same substrate While forming with contest P type polysilicon doped by the high concentration which connects the emitter of the aforementioned vertical-mold PNP transistor on a high-concentration P type diffusion layer with the shallow diffusion depth formed beforehand, and this P type diffusion layer It forms at the same process as the high-concentration P type diffusion layer which forms the high-concentration P type diffusion layer which forms the external base of the aforementioned NPN transistor for the aforementioned P type diffusion layer, and the source drain of a PMOS transistor. Thereby, the increase in the number of processes can be made into the minimum, and the vertical-mold PNP transistor in a semiconductor device according to claim 1 can be efficiently formed on the same substrate as an NPN transistor and a CMOS transistor.

[0012]

[Example] Next, an example is explained. Drawing 1 - drawing 4 are drawings showing the manufacturing process of ** explaining the 1st example of the manufacture method of the semiconductor device concerning this invention. First, as shown in drawing 1 , antimony is alternatively diffused in the P type substrate 1, and the N type pad layer 2 is formed. Next, if the N type epitaxial layer 4 is formed in it by - with a concentration of one to $10E15cm^{-3}$ and 2-5 micrometers of thickness after carrying out the ion implantation of the boron to the field of the N type pad layer 2 by acceleration voltage 50KeV and dose $1-7E14cm^{-2}$, boron will be spread in the N type epitaxial layer 4, and the P type pad layer 3 will be formed in it. Then, in order to form the P type collector diffusion layer 6 which reaches the P type pad layer 3, the ion implantation of the boron is carried out by acceleration voltage 150 - 180 KeV, and dose $1-10E14cm^{-2}$, and it is 300-600 at 1000-1200 degrees C. A part is diffused. Then, the field oxide film 5 is formed by the usual selective oxidation method.

[0013] Next, as shown in drawing 2 , the ion implantation of Lynn is carried out to a base region by acceleration voltage 100 - 180 KeV, and dose $5-10E13cm^{-2}$. The ion implantation of the arsenic is carried out to an external base region by acceleration voltage 100 - 180 KeV, and dose $1-10E15cm^{-2}$. It is BF2 to a collector contact field and an emitter region. After carrying out an ion implantation by acceleration voltage 30 - 100 KeV, and dose $1-5E15cm^{-2}$, by performing annealing for 10 - 60 minutes by 900 ** The N type base layer 7, the N type external base layer 8, the P type collector contact diffusion layer 9, and the P type emitter layer 10 are formed.

[0014] Next, as shown in drawing 3 , after carrying out the 100 nm laminating of the oxide film by LP-CVD and forming an insulator layer 11, the insulator layer 11 of the field of the P type collector contact diffusion layer 9 and the P type emitter layer 10 is

*****ed by RIE, and opening of the aperture is carried out. Then, the 200 nm laminating of contest polysilicon is carried out by LP-CVD, and it is BF2. An ion implantation is carried out by acceleration voltage 50KeV and dose 5-10E15cm-2, and contest 12 P type polysilicon is formed.

[0015] Next, as shown in drawing 4, after *****ing contest 12 P type polysilicon by RIE, annealing for 10 - 60 minutes is performed by 950 **, and contest 13 P type emitter polysilicon and contest 14 P type collector polysilicon are formed. Moreover, for the P type emitter layer 10, the diffusion depth is 0.1-0.3 by this annealing. It is as shallow as mum, concentration can form in 1E19-1E20cm-3 and high concentration, and a vertical-mold PNP transistor is constituted.

[0016] Next, it bases and explains in the manufacturing process view which shows the 2nd example of the manufacture method of the semiconductor device concerning this invention to drawing 5 - drawing 9. First, as shown in drawing 5, antimony is diffused to the formation field of the NPN transistor of the P type substrate 21, and a vertical-mold PNP transistor, and the N type pad layer 22 is formed in it. Next, if the N type epitaxial layer 25 is formed in them by - with a concentration of one to 10E15cm 3 and 2-5 micrometers of thickness after carrying out the ion implantation of the boron to the field and isolation field of the N type pad layer 22 of a vertical-mold PNP transistor by acceleration voltage 50KeV and dose 1-7E14cm-2, boron will be spread in the N type epitaxial layer 25, and the P type pad layer 23 and the pad layer 24 for P type isolation will be formed in them. Then, the ion implantation of the boron is carried out to an isolation field by acceleration voltage 50 - 150 KeV, and dose 1-10E13cm-2. The ion implantation of Lynn is carried out to the collector drawer field of an NPN transistor by acceleration voltage 150 - 180 KeV, and dose 1-10E14cm-2. The ion implantation of the boron is carried out to the collector drawer field of a vertical-mold PNP transistor by acceleration voltage 150 - 180 KeV, and dose 1-10E14cm-2, and it is 300-600 at 1000-1200 degrees C. By diffusing a part The diffusion layer 27 for P type isolation, the N type collector drawer layer 28, and the P type collector drawer layer 29 are formed. Then, the field oxide film 26 is formed by the usual selective oxidation method.

[0017] Next, as shown in drawing 6, they are boron or BF2 to the base region of an NPN transistor. An ion implantation is carried out by acceleration voltage 20 - 60KeV, and dose 5-20E13cm-2. The ion implantation of Lynn is carried out to the base region of a vertical-mold PNP transistor by acceleration voltage 100 - 180 KeV, and dose 5-10E13cm-2. To the collector contact field of an NPN transistor, and the external base region of a vertical-mold PNP transistor The ion implantation of the arsenic is carried out by acceleration voltage 100 - 180 KeV, and dose 1-10E15cm-2. To the external base region of an NPN transistor, the collector contact field of a vertical-mold PNP transistor, and an emitter region After carrying out the ion implantation of BF2 by acceleration voltage 30 - 100 KeV, and dose 1-5E15cm-2, by performing annealing for 10 - 60 minutes by 900 ** The P type base layer 30 of an NPN transistor, the P type external base layer 35, the N type collector contact layer 33, the P type emitter layer 36 of a vertical-mold PNP transistor, the N type base layer 31, the N type external base layer 32, and the P type collector contact layer 34 are formed.

[0018] Next, as shown in drawing 7, after carrying out the 100 nm laminating of the oxide film by LP-CVD and forming an insulator layer 37, the insulator layer 11 of the external base region of an NPN transistor, an emitter formation schedule field, a collector

contact field and the external base region of a vertical-mold PNP transistor, an emitter region, and a collector contact field is *****ed by RIE, and opening of the aperture is carried out. Then, after carrying out the 200 nm laminating of contest 38 non dope polysilicon by LP-CVD, the resist 39 for N type ion implantations is formed, the ion implantation of the arsenic is carried out by acceleration voltage 100 KeV and dose 5-20E15cm-2, and contest 38 non dope polysilicon of the emitter formation schedule field of an NPN transistor, a collector contact field, and the external base region of a vertical-mold PNP transistor is made contest polysilicon of N type.

[0019] Next, as shown in drawing 8, the resist 40 for P type ion implantations is formed, and it is BF2. An ion implantation is carried out by acceleration voltage 50KeV and dose 5-10E15cm-2, and contest 38 non dope polysilicon of the external base region of an NPN transistor and the emitter region of a vertical-mold PNP transistor, and a collector contact field is made contest polysilicon of P type.

[0020] Next, as shown in drawing 9, after *****ing contest polysilicon doped by N type or P type by RIE, Annealing for 10 - 60 minutes is performed by 950 **. Contest 41 P type emitter polysilicon of a vertical-mold PNP transistor, contest 42 P type collector polysilicon, contest 46 N type base polysilicon, contest 43 P type base polysilicon of an NPN transistor, contest 44 N type emitter polysilicon, contest 45 N type collector polysilicon, The N type emitter layer 47 diffused from contest 44 N type emitter polysilicon is formed. Moreover, for the P type emitter layer 36, the diffusion depth is 0.1-0.3 by this annealing. It is as shallow as mum, concentration can form in 1E19-1E20cm-3 and high concentration, and an NPN transistor and a vertical-mold PNP transistor are constituted on the same substrate.

[0021] Next, it bases and explains in the manufacturing process view which shows the 3rd example of the manufacture method of the semiconductor device concerning this invention to drawing 10 - drawing 15. As first shown in drawing 10, antimony is diffused to the formation field of the NPN transistor of the P type substrate 51, a vertical-mold PNP transistor and a PMOS transistor, and an NMOS transistor, and the N type pad layer 52 is formed in it. To next, the field of the N type pad layer 52 of a vertical-mold PNP transistor, the field of the N type pad layer 52 of an NMOS transistor, and an isolation field If the N type epitaxial layer 56 is formed by - with a concentration of one to 10E15cm³ and 2-5 micrometers of thickness after carrying out the ion implantation of the boron by acceleration voltage 50KeV and dose 1-7E14cm-2 boron -- the N type epitaxial layer 56 -- being spread -- the P type pad collector layer 53 and a P type pad -- a well -- a layer 54 and the pad layer 55 for P type isolation are formed

[0022] Next, as shown in drawing 11, the ion implantation of the boron is carried out to an isolation field by acceleration voltage 50 - 150 KeV, and dose 1-10E13cm-2. To the collector drawer field of an NMOS transistor, and the isolation field of a CMOS transistor The ion implantation of Lynn is carried out by acceleration voltage 150 - 180 KeV, and dose 1-10E14cm-2. The ion implantation of the boron is carried out to the collector drawer field of a vertical-mold PNP transistor by acceleration voltage 150 - 180 KeV, and dose 1-10E14cm-2. The ion implantation of Lynn is carried out to a PMOS transistor field by acceleration voltage 50 - 150 KeV, and dose 1-10E12cm-2. The ion implantation of the boron is carried out to an NMOS transistor field by acceleration voltage 100 - 180 KeV, and dose 1-10E12cm-2, and it is 300-600 at 1000-1200 degrees C. By diffusing a part the diffusion layer 58 for P type isolation, the N type collector

drawer layer 59, the P type collector drawer layer 60, the diffusion layer 61 for N type isolation, and N -- a well -- a diffusion layer 62 and P -- a well -- a diffusion layer 63 is formed Then, the field oxide film 57 is formed by the usual selective oxidation method. Next, after forming the 20-50nm gate oxide film 64 by performing oxidization for 10 - 60 minutes at 900-1000 degrees C, contest 65 gate polysilicon is formed by carrying out the laminating of contest polysilicon doped to 300-500nm N type by LP-CVD, and *****ing by RIE.

[0023] As shown in drawing 12, next, by performing oxidization for 10 - 60 minutes at 900-1000 degrees C After forming a 20-50nm oxide film (not shown), to the base region of an NPN transistor Boron or BF2 An ion implantation is carried out by acceleration voltage 20 - 60KeV, and dose 5-20E13cm-2. The ion implantation of Lynn is carried out to the base region of a vertical-mold PNP transistor by acceleration voltage 100 - 180 KeV, and dose 5-10E13cm-2. To the collector contact field of an NPN transistor, the external base region of a vertical-mold PNP transistor, and the source drain field of an NMOS transistor The ion implantation of the arsenic is carried out by acceleration voltage 100 - 180 KeV, and dose 1-10E15cm-2. To the external base region of an NPN transistor, the collector contact field of a vertical-mold PNP transistor, an emitter region, and the source drain field of a PMOS transistor BF2 After carrying out an ion implantation by acceleration voltage 30 - 100 KeV, and dose 1-5E15cm-2, by performing annealing for 10 - 60 minutes by 900 ** The P type base layer 66 of an NPN transistor, the P type external base layer 71, the N type collector contact layer 69, the P type emitter layer 72 of a vertical-mold PNP transistor, the N type base layer 67, the N type external base layer 68, the P type collector contact layer 70, The P type source drain layer 73 of a PMOS transistor and the N type source drain layer 74 of an NMOS transistor are formed.

[0024] Next, as shown in drawing 13, after carrying out the 100 nm laminating of the oxide film by LP-CVD and forming an insulator layer 75, the insulator layer 75 of the external base region of an NPN transistor, an emitter formation schedule field, a collector contact field, the external base region of a vertical-mold PNP transistor, an emitter region, a collector contact field, the source drain field of a PMOS transistor, a gate contact field, the source drain field of an NMOS transistor, and a gate contact field is *****ed by RIE, and opening of the aperture Then, after carrying out the 200 nm laminating of contest 76 non dope polysilicon by LP-CVD, Form the resist 77 for N type ion implantations, and the ion implantation of the arsenic is carried out by acceleration voltage 100 KeV and dose 5-20E15cm-2. The emitter formation schedule field of an NPN transistor, a collector contact field, And contest 76 non dope polysilicon of the external base region of a vertical-mold PNP transistor, the gate contact field of a PMOS transistor, the source drain field of an NMOS transistor, and a gate contact field is made contest polysilicon of N type.

[0025] Next, as shown in drawing 14, the resist 78 for P type ion implantations is formed, and it is BF2. An ion implantation is carried out by acceleration voltage 50KeV and dose 5-10E15cm-2, and contest 38 non dope polysilicon of the external base region of an NPN transistor and the emitter region of a vertical-mold PNP transistor, a collector contact field, and the source drain field of a PMOS transistor is made contest polysilicon of P type.

[0026] Next, as shown in drawing 15, after *****ing contest polysilicon doped by N type or P type by RIE, Annealing for 10 - 60 minutes is performed by 950 **. Contest

